



IN THE UNITED STATES PATENT  
AND TRADEMARK OFFICE

Applicant: Won Kwon Lee ) I hereby certify that this paper is being  
Serial No.: 10/622,532 ) deposited with the United States Postal  
Filed: July 18, 2003 ) Service with sufficient postage as first  
Title: METHOD FOR FORMING ) class mail in an envelope addressed to  
ISOLATION FILMS IN ) Commissioner for Patents, P.O. Box  
SEMICONDUCTOR DEVICE ) 1450, Alexandria, Virginia 22313-1450, on  
Confirmation No.: 2813 ) February 1, 2006.  
Group Art Unit: 1765 )  
Examiner: Duy Vu N. Deo )  
Attorney Docket No.: 29936/39477 )  
Sandip H. Patel (Reg. No. 43,848)  
Attorney for Applicant

**CLAIM FOR PRIORITY AND SUBMISSION OF PRIORITY DOCUMENT**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, Virginia 22313-1450

Dear Sir:

The applicant hereby claims priority under 35 USC § 119 based on the following prior foreign applications filed in the Republic of Korea on the indicated date:

Country	Application No.	Date
Republic of Korea	2002-0065754	October 28, 2002
Republic of Korea	2002-0065753	October 28, 2002
Republic of Korea	2002-0084281	December 26, 2002

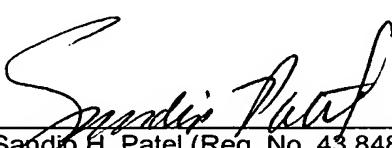
A certified copy of the first listed application was transmitted to the U.S. Patent and Trademark Office on July 18, 2003. Certified copies of the second and third listed foreign applications are enclosed herewith in support of the priority claim.

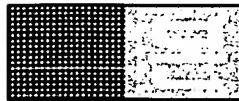
Respectfully submitted,

MARSHALL, GERSTEIN & BORUN LLP

February 1, 2006

By:

  
Sandip H. Patel (Reg. No. 43,848)  
Attorneys for Applicant  
6300 Sears Tower  
233 South Wacker Drive  
Chicago, Illinois 60606-6357  
(312) 474-6300 TELEPHONE



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출 원 번 호 : 10-2002-0065753

Application Number

출 원 년 월 일 : 2002년 10월 28일

Date of Application OCT 28, 2002

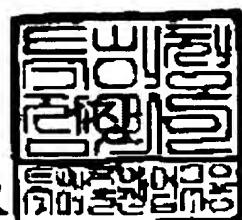
출 원 인 : 매그나칩 반도체 유한회사

Applicant(s) Magnachip Semiconductor, Ltd.

2006년 01월 20일

특 허 청

COMMISSIONER



◆ This certificate was issued by Korean Intellectual Property Office. Please confirm any forgery or alteration of the contents by an issue number or a barcode of the document below through the KIPOnet- Online Issue of the Certificates' menu of Korean Intellectual Property Office homepage (www.kipo.go.kr). But please notice that the confirmation by the issue number is available only for 90 days.

CERTIFIED COPY OF  
PRIORITY DOCUMENT

## 【서지사항】

【서류명】	명세서 등 보정서
【수신처】	특허청장
【제출일자】	2004.09.20
【제출인】	
【명칭】	(주)하이닉스 반도체
【출원인코드】	1-1998-004569-8
【사건과의 관계】	출원인
【대리인】	
【성명】	신영무
【대리인코드】	9-1998-000265-6
【포괄위임등록번호】	1999-003525-1
【사건의 표시】	
【출원번호】	10-2002-0065753
【출원일자】	2002.10.28
【심사청구일자】	2002.10.28
【발명의 명칭】	반도체 소자의 소자 분리막 형성 방법
【제출원인】	
【발송번호】	9-5-2004-0303123-68
【발송일자】	2004.07.28
【보정할 서류】	명세서등
【보정할 사항】	
【보정대상항목】	별지와 같음
【보정방법】	별지와 같음
【보정내용】	별지와 같음

【취지】 특허법시행규칙 제13조 · 실용신안법시행규칙 제8조의 규정에의하여 위  
와 같 이 제출합니다.

대리인

신영무 (인)

【수수료】

【보정료】 3,000 원

【추가심사청구료】 0 원

【기타 수수료】 0 원

【합계】 3,000 원

【첨부서류】 1. 보정내용을 증명하는 서류[특허청구범위]\_1통

**【보정서】****【보정대상항목】** 청구항 1**【보정방법】** 정정**【보정내용】****【청구항 1】**

반도체 기판 상부에 소자 분리 영역이 정의된 패드 산화막, 비정질 실리콘층, 반사 방지막 및 포토레지스트 패턴을 적층 구조로 형성하는 단계; 상기 소자 분리 영역의 중앙 부분에 트렌치를 형성하는 단계; 상기 포토레지스트 패턴 및 상기 반사 방지막을 제거하는 단계; 상기 비정질 실리콘층의 측벽 및 상부 표면을 균일하게 산화시켜 표면 산화막을 형성하는 단계; 상기 트렌치가 매립되도록 전체 상부에 절연 물질층을 형성하여, 상기 비정질 실리콘층 측벽의 균일한 상기 표면 산화막과 상기 절연 물질층으로 이루어진 소자 분리막을 형성하는 단계; 및 상기 절연 물질층이 목표 두께로 잔류할 때까지 평탄화 공정을 실시한 후 상기 비정질 실리콘층 및 상기 패드 산화막을 제거하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 소자 분리막 형성 방법.

## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2002. 10. 28
【발명의 국문명칭】	반도체 소자의 소자 분리막 형성 방법
【발명의 영문명칭】	Method of forming a isolation layer in a semiconductor device
【출원인】	
【명칭】	(주)하이닉스 반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	신영무
【대리인코드】	9-1998-000265-6
【포괄위임등록번호】	1999-003525-1
【발명자】	
【성명의 국문표기】	이원권
【성명의 영문표기】	LEE, Won Kwon
【주민등록번호】	760602-1357524
【우편번호】	380-061
【주소】	충청북도 충주시 교현1동 486-17 14/1
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다.

대리인

신영무 (인)

**【수수료】**

<b>【기본출원료】</b>	17	면	29,000	원
<b>【가산출원료】</b>	0	면	0	원
<b>【우선권주장료】</b>	0	건	0	원
<b>【심사청구료】</b>	7	항	333,000	원
<b>【합계】</b>	362,000 원			
<b>【첨부서류】</b>	1. 요약서 · 명세서(도면)_1통			

### 【요약서】

#### 【요약】

본 발명은 반도체 소자의 소자 분리막 형성 방법에 관한 것으로, STI(Shallow Trench Isolation) 공정으로 트렌치를 형성하는 과정에서 패드 산화막 상부에 패드 질화막 대신에 비정질 실리콘층을 형성한 후 비정질 실리콘층의 표면을 산화시켜 산화된 부분을 소자 분리막과 융화시킴으로써 트렌치를 절연 물질로 막립한 후 비정질 실리콘층 및 패드 산화막을 제거하는 과정에서 모우트가 발생되는 것을 방지하여 공정의 신뢰성 및 소자의 전기적 특성을 향상시킬 수 있는 반도체 소자의 소자 분리막 형성 방법을 제공하는데 그 목적이 있다.

#### 【대표도】

도 1i

#### 【색인어】

소자 분리막, 모우트, 비정질 실리콘층, 이중 식각 경사각, 전계 집중

## 【명세서】

## 【발명의 명칭】

반도체 소자의 소자 분리막 형성 방법{Method of forming a isolation layer in a semiconductor device}

## 【도면의 간단한 설명】

<1>      도 1a 내지 도 1i는 본 발명의 실시예에 따른 반도체 소자의 소자 분리막 형성 방법을 설명하기 위한 소자의 단면도들이다.

<2>      <도면의 주요 부분에 대한 부호의 설명>

<3>      101 : 반도체 기판      102 : 패드 산화막

<4>      103 : 비정질 실리콘층      104 : 반사 방지막

<5>      105 : 포토레지스트 패턴      106 : 식각 경사면

<6>      107 : 트렌치      108a, 108b : 표면 산화막

<7>      109 : 절연 물질층      110 : 소자 분리막

## 【발명의 상세한 설명】

## 【발명의 목적】

### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<8> 본 발명은 반도체 소자의 소자 분리막 형성 방법에 관한 것으로, STI(Shallow Trench Isolation) 공정으로 형성된 소자 분리막의 상부 모서리(Top corner)에 모우트(Moat)가 발생되고 전계가 집중되는 것을 방지할 수 있는 반도체 소자의 소자 분리막 형성 방법에 관한 것이다.

<9> 일반적으로, 반도체 기판은 트랜지스터를 포함한 각종 반도체 소자가 형성되는 활성 영역(Active region)과 반도체 소자를 전기적으로 격리하기 위하여 소자 분리막이 형성되는 소자분리 영역(Isolation region)으로 구분된다.

<10> 소자 분리막을 형성하는 공정으로는 LOCOS(Local Oxidation) 공정과 PBL(Poly Bufferd LOCOS) 공정과, STI(Shallow Trench Isolation) 공정이 있다. LOCOS 공정은 패드 산화막과 패드 질화막을 순차적으로 형성하고 식각 공정으로 소자분리 영역의 기판을 노출시킨 후 산화공정으로 기판의 노출된 영역을 산화시켜 소자 분리막을 형성하는 공정이다. PBL 공정은 LOCOS 공정의 패드 산화막과 패드 질화막 사이에 벼퍼 역할을 하는 폴리실리콘막을 개재하여 완충 역할을 하도록 하는 공정이다. STI 공정은 패드 산화막과 패드 질화막을 순차적으로 형성하고 식각 공정으로 소자분리 영역의 기판을 노출시킨 후 기판의 노출된 영역을 식각하여 트렌치를 형성하고 절연물질로 트렌치를 매립하여 소자 분리막을 형성하는 공정이다.

<11> 상기에서, LOCOS 공정은 장시간의 고온 산화 공정으로 진행되므로 기판에 주

입된 채널 저지 이온이 측면으로 확산되고, 버즈 빅(Bird's beak)이 발생되어 소자 의 전기적 특성을 저하시키는 문제점이 발생된다. 따라서, 0.25μm 이하의 제조 공정에서는 LOCOS 공정을 적용하여 소자 분리막을 형성하는데 한계가 있다.

<12> 이러한 LOCOS 공정의 문제점을 해결하기 위하여 0.25μm 이하의 제조 공정에서는 STI 공정으로 소자 분리막을 형성한다. STI 공정으로 소자 분리막을 형성할 경우, 버즈 빅이 발생하지 않고 소자 분리 특성이 우수하다는 장점이 있다. 하지만, STI 공정으로 소자 분리막을 형성하는 경우에는 상부 모서리(Top corner)와 하부 모서리(Bottom corner)에 전계가 집중되어 소자의 전기적 특성이 저하되는 문제점이 있으며, 디자인 룰이 작아지면서 트렌치를 절연물질로 매립하는데 어려움이 있다. 또한, 트렌치를 절연물질로 매립하기 위하여 전체 상부에 절연물질층을 형성한 후에는 트렌치에만 절연물질을 잔류시키기 위하여 화학적 기계적 연마(Chemical Mechanical Polishing; CMP) 공정과 같은 평탄화 공정이 진행되어야 하며, 이로 인해 소자 분리막의 상부 모서리에 모우트가 발생되어 험프(Hump) 특성이 악화되고 기판 표면의 균일도도 저하되는 문제점이 있다.

### 【발명이 이루고자 하는 기술적 과제】

<13> 따라서, 본 발명은 상기의 문제점을 해결하기 위하여 STI(Shallow Trench Isolation) 공정으로 트렌치를 형성하는 과정에서 패드 산화막 상부에 패드 질화막 대신에 비정질 실리콘층을 형성한 후 비정질 실리콘층의 표면을 산화시켜 산화된 부분을 소자 분리막과 융화시킴으로써 트렌치를 절연 물질로 매립한 후 비정질 실

리콘층 및 패드 산화막을 제거하는 과정에서 모우트가 발생되는 것을 방지하여 공정의 신뢰성 및 소자의 전기적 특성을 향상시킬 수 있는 반도체 소자의 소자 분리막 형성 방법을 제공하는데 그 목적이 있다.

### 【발명의 구성】

<14> 본 발명에 따른 반도체 소자의 소자 분리막 형성 방법은 반도체 기판 상부에 소자 분리 영역이 정의된 패드 산화막, 비정질 실리콘층, 반사 방지막 및 포토레지스트 패턴을 적층 구조로 형성하는 단계와, 소자 분리 영역의 중앙 부분에 트렌치를 형성하는 단계와, 포토레지스트 패턴 및 반사 방지막을 제거하는 단계와, 비정질 실리콘층의 표면을 산화시켜 표면 산화막을 형성하는 단계와, 전체 상부에 절연 물질층을 형성하여 트렌치를 매립하는 단계 및 절연 물질층이 목표 두께로 잔류할 때까지 평탄화 공정을 실시한 후 비정질 실리콘층 및 패드 산화막을 제거하는 단계를 포함한다.

<15> 상기에서, 적층 구조를 형성한 후 트렌치를 형성하기 전에, 소자 분리 영역의 가장자리에 폴리머가 형성되도록 과도 식각을 실시하여 소자 분리 영역의 중앙 부분의 반도체 기판을 식각하면서 소자 분리 영역의 가장 자리에 식각 경사면을 형성하는 단계를 더 포함할 수도 있다. 이때, 과도 식각 공정은  $CHF_3$  가스,  $CF_4$  가스 또는 이들의 혼합 가스를 식각 가스로 사용하여, 소자 분리 영역의 중앙부분을 50 nm 내지 400Å의 깊이로 식각할 수 있다. 한편, 식각 경사면은 폭이 0.02μm 내지

0.07μm이고, 측면의 경사각은 20 내지 50도가 되도록 형성할 수 있다.

<16> 또한, 반사 방지막을 제거한 후 비정질 실리콘층의 표면을 산화시키기 전에, 트렌치의 측면 및 저면을 산화 공정으로 산화시켜 트렌치의 측면 및 저면에 표면 산화막을 형성하는 단계를 더 포함할 수도 있다.

<17> 비정질 실리콘층의 표면에 형성되는 표면 산화막은 O<sub>2</sub> 플라즈마 처리로 형성하는 것이 가능하다. 이때, O<sub>2</sub> 플라즈마 처리는 50 내지 200°C의 온도에서 O<sub>2</sub> 애칭 공정으로 진행하거나 O<sub>2</sub> 이온 주입 공정으로 진행할 수도 있다.

<18> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하며 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 한편, 도면상에서 동일 부호는 동일한 요소를 지칭한다.

<19> 도 1a 내지 도 1i는 본 발명의 실시예에 따른 반도체 소자의 소자 분리막 형성 방법을 설명하기 위한 소자의 단면도들이다.

<20> 도 1a를 참조하면, 반도체 기판(101) 상부에 패드 산화막(102), 비정질 실리콘막(103), 반사 방지막(104) 및 포토레지스트막(105)을 순차적으로 형성한다. 상기에서, 패드 산화막(102)은 50 내지 200Å의 두께로 형성하고, 비정질 실리콘막

(103)은 1000 내지 3000Å의 두께로 형성하며, 반사 방지막(104)은 500 내지 800Å의 두께로 형성하고, 포토레지스트막(105)은 3000 내지 10000Å의 두께로 형성한다. 이때, 비정질 실리콘막(103)은 400 내지 600°C의 온도에서 저압 화학기상 증착법(Low Pressure Chemical Vapor Deposition; LP CVD)으로 형성한다.

<21> 도 1b를 참조하면, 노광 및 현상 공정으로 소자 분리 영역의 포토레지스트막과 반사 방지막(104)을 제거하여 소자분리 영역이 정의된 포토레지스트 패턴(105) 및 반사 방지막(104)을 형성한다. 포토레지스트 패턴(105)이 형성되면, 포토레지스트막 및 반사 방지막이 제거되어 노출된 비정질 실리콘막(103) 및 패드 산화막(102)을 건식각 공정으로 제거하여 소자 분리 영역의 반도체 기판(101) 표면을 노출시킨다.

<22> 이후, 노출된 반도체 기판(101)의 가장자리 부분에 폴리머(도시되지 않음)가 쌓이도록 하면서 과도 식각을 실시하여 소자 분리 영역의 가장 자리보다 중앙 부분이 더 많이 식각되도록 하여 가장 자리의 기판(101)에 식각 경사면(106)을 발생시킨다. 이때, 소자 분리 영역의 가장 자리에 형성되는 식각 경사면(106)의 폭과 경사각은 소자의 접적도를 고려하여 조절할 수 있으며, 바람직하게는 식각 경사면(106)의 폭은 0.02 $\mu$ m 내지 0.07 $\mu$ m이 되도록 하며, 경사각은 20 내지 50도가 되도록 한다.

<23> 이러한 과도 식각은 CHF<sub>3</sub> 가스, CF<sub>4</sub> 가스 또는 이들의 혼합 가스를 식각 가스로 사용하는데, CHF<sub>3</sub>의 공급 유량은 50 내지 70sccm이고, CF<sub>4</sub>의 공급 유량은 30 내

지 50sccm이며, 운반 가스로 1000 내지 2000sccm의 Ar 가스가 함께 공급된다. 한편, 과도 식각 공정은 500mTorr 내지 2500mTorr의 압력과 600 내지 2000W의 파워를 인가한 상태에서 5초 내지 30초 동안 실시하며, 소자 분리 영역의 중앙부분이 50 내지 400Å 정도 식각되도록 실시한다.

<24> 도 1c를 참조하면, 소자 분리 영역의 반도체 기판(101)을 소정 깊이만큼 식각하여 트렌치(107)를 형성한다. 이때, 도 1b에서 과도 식각 시 소자 분리 영역의 가장자리(식각 경사면; 106)에 쌓인 폴리머(도시되지 않음)가 식각 방지막의 역할을 하기 때문에, 소자 분리 영역의 가장자리는 식각되지 않고 식각 경사면(106)의 형태가 그대로 유지된다. 따라서, 소자 분리 영역의 중앙부분만이 식각되어 트렌치(107)는 소자 분리 영역의 중앙부분에 형성되며, 이로 인해 트렌치(107)의 상부 모서리는 도 1b에서 과도 식각에 의해 형성된 식각 경사면에 의해 등근 형태가 된다.

<25> 이때, 트렌치(107)를 형성하기 위한 식각 공정은 압력을 5mTorr 내지 30mTorr로 조절하고 350 내지 550W의 텁파워(Top power)와 100 내지 300W의 바텀 파워(Bottom power)를 인가한 상태에서, N<sub>2</sub> 가스, O<sub>2</sub> 가스, HBr 가스 및 Cl<sub>2</sub> 가스를 이용하여 2500 내지 4000Å의 깊이로 트렌치(107)를 형성하며, 반도체 기판(101)의 표면을 기준으로 트렌치(107) 측벽의 경사각이 70 내지 90도가 되도록 실시한다. 식각 공정에서 N<sub>2</sub> 가스의 공급 유량은 5 내지 20 sccm으로 조절하고, HBr 가스의 공급 유량은 100 내지 150sccm으로 조절하고, Cl<sub>2</sub> 가스의 공급 유량은 35 내지 70sccm으로 조절하고, O<sub>2</sub> 가스의 공급 유량은 2 내지 20 sccm으로 조절한다.

<26> 트렌치(107)를 형성한 후에는 ATC(After Treatment Chamber) 처리를 30초 내지 1분 동안 실시하여 트렌치(107)의 측벽 및 저면에 발생된 식각 손상을 보완한다.

<27> 도 1d를 참조하면, 트렌치(107)를 형성한 후에 포토레지스트 패턴(도 1c의 105) 및 반사 방지막(도 1c의 104)을 제거한다. 이로써, 비정질 실리콘층(103)이 노출된다.

<28> 도 1e를 참조하면, 산화 공정으로 트렌치(107)의 측면 및 저면을 산화시켜 표면 산화막(108a)을 형성한다. 이때, 산화 공정은 900 내지 1200°C의 온도에서 산소 분위기의 건식 산화 공정으로 50 내지 200Å의 표면 산화막(108a)이 형성되도록 실시한다. 산화 공정으로 트렌치(107)의 측면 및 저면에 표면 산화막(108a)을 형성 함으로써, 트렌치(107)를 형성하는 과정에서 발생된 식각 손상이 완화되며 트렌치(107)의 상부 모서리와 저면 모서리가 보다 더 둥글게 형성된다.

<29> 트렌치(107)의 표면에 표면 산화막(108a)을 형성한 후에는, 비정질 실리콘층(103)의 표면을 산화시켜 표면 산화막(108b)을 형성한다. 이때, 표면 산화막(108b)은 O<sub>2</sub> 플라즈마 처리로 비정질 실리콘층(103)의 표면을 산화시켜 형성할 수 있다. 여기서, O<sub>2</sub> 플라즈마 처리를 하는 방법에는 50 내지 200°C의 온도에서 O<sub>2</sub> 애싱(O<sub>2</sub> Ashing)을 실시하거나 O<sub>2</sub> 이온 주입(Ion Implantation) 공정을 이용하는 방법 등이 있다.

<30> 도 1f를 참조하면, 트렌치(107)가 완전히 매립되도록 전체 상부에 절연 물질

층(109)을 형성한다. 이때, 절연 물질층(109)의 두께는 후속 공정에서 실시될 화학적 기계적 연마 공정의 마진을 고려하여 결정되며, 바람직하게는 4000 내지 6000Å의 두께로 형성하는 것이 가능하다.

<31>         도 1g를 참조하면, 화학적 기계적 연마와 같은 평탄화 공정을 실시하여 비정질 실리콘층(103)이 노출될 때까지 절연 물질층(도 1f의 109)의 상부를 소정 두께 만큼 제거한다. 이로써, 절연 물질층이 트렌치에만 잔류하여 절연 물질층으로 이루어진 소자 분리막(110)이 형성된다. 이때, 잔류하는 비정질 실리콘층(103)의 높이가 반도체 기판(101)의 표면보다 높게 돌출된 소자 분리막(110)의 높이를 결정하므로, 평탄화 공정은 이를 고려하여 실시한다.

<32>         도 1h를 참조하면, 비정질 실리콘층(도 1f의 103) 및 패드 산화막(도 1f의 102)을 세정 공정으로 제거한다. 이로써, 소자 분리막(110)만이 잔류된다.

<33>         도 1i를 참조하면, 소자 분리막(110)이 형성된 후 후속 공정인 식각 및 세정 공정에 의해 소자 분리막의 양측 모서리 부분이 식각되더라도, 상기의 공정으로 소자 분리막(110)을 형성하는 경우에는 모우트(Moat)가 발생되지 않음을 알 수 있다.

### 【발명의 효과】

<34>         상술한 바와 같이, 본 발명은 비정질 실리콘층의 표면에 형성된 표면 산화막이 절연 물질층과 융화되기 때문에 트렌치의 폭은 그대로 유지하면서 소자 분리막 상부의 폭이 반도체 기판의 활성 영역 상부까지 넓어지므로, 소자 분리막의 양측

모서리가 과도하게 식각되더라도 모우트가 발생되지 않기 때문에 험프(Hump) 특성을 예방할 수 있으며, 반도체 소자의 서브스레쉬홀드(Subthreshold)와 같이 반도체 소자의 특성이 저하되는 것을 방지할 수 있다.

<35> 또한, 트렌치의 상부 모서리에 식각 경사면을 형성하여 이중 경사각을 형성함으로써 트렌치의 상부 모서리에 전계가 집중되는 것을 방지할 수 있으며, ATC 처리를 통해 트렌치의 측면 및 저면 거칠기를 개선할 수 있다.

### 【특허청구범위】

#### 【청구항 1】

반도체 기판 상부에 소자 분리 영역이 정의된 패드 산화막, 비정질 실리콘층, 반사 방지막 및 포토레지스트 패턴을 적층 구조로 형성하는 단계;

상기 소자 분리 영역의 중앙 부분에 트렌치를 형성하는 단계;

상기 포토레지스트 패턴 및 상기 반사 방지막을 제거하는 단계;

상기 비정질 실리콘층의 표면을 산화시켜 표면 산화막을 형성하는 단계;

전체 상부에 절연 물질층을 형성하여 상기 트렌치를 매립하는 단계; 및

상기 절연 물질층이 목표 두께로 잰류할 때까지 평탄화 공정을 실시한 후 상기 비정질 실리콘층 및 상기 패드 산화막을 제거하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 소자 분리막 형성 방법.

#### 【청구항 2】

제 1 항에 있어서, 상기 적층 구조를 형성한 후 상기 트렌치를 형성하기 전에,

상기 소자 분리 영역의 가장자리에 폴리머가 형성되도록 과도 식각을 실시하여 상기 소자 분리 영역의 중앙 부분의 상기 반도체 기판을 식각하면서 상기 소자 분리 영역의 가장 자리에 식각 경사면을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 소자 분리막 형성 방법.

## 【청구항 3】

제 2 항에 있어서,

상기 과도 식각 공정은  $\text{CHF}_3$  가스,  $\text{CF}_4$  가스 또는 이들의 혼합 가스를 식각 가스로 사용하여, 상기 소자 분리 영역의 중앙부분을 50 내지  $400\text{\AA}$ 의 깊이로 식각하는 것을 특징으로 하는 반도체 소자의 소자 분리막 형성 방법.

## 【청구항 4】

제 2 항에 있어서,

상기 식각 경사면은 폭이 0.02 $\mu\text{m}$  내지 0.07 $\mu\text{m}$ 이고, 측면의 경사각은 20 내지 50도가 되도록 형성되는 것을 특징으로 하는 반도체 소자의 소자 분리막 형성 방법.

## 【청구항 5】

제 1 항에 있어서, 상기 반사 방지막을 제거한 후 상기 비정질 실리콘층의 표면을 산화시키기 전에,

상기 트렌치의 측면 및 저면을 산화 공정으로 산화시켜 상기 트렌치의 측면 및 저면에 표면 산화막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 소자 분리막 형성 방법.

【청구항 6】

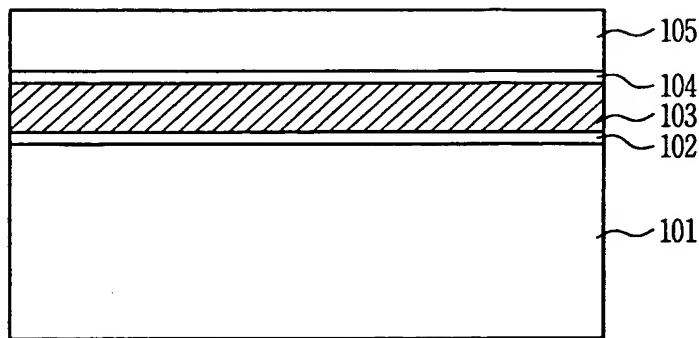
제 1 항에 있어서,  
상기 표면 산화막은  $O_2$  플라즈마 처리로 형성되는 것을 특징으로 하는 반도체 소자의 소자 분리막 형성 방법.

【청구항 7】

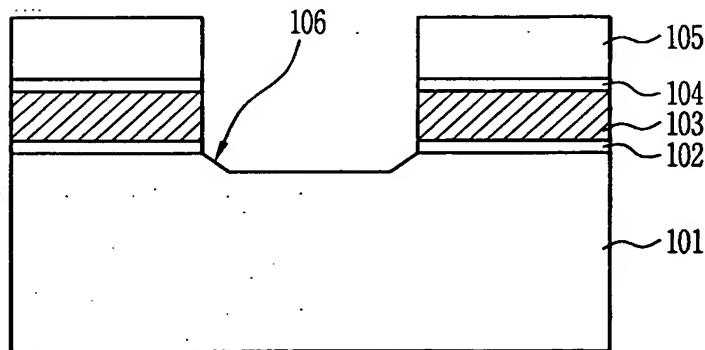
제 6 항에 있어서,  
상기  $O_2$  플라즈마 처리는 50 내지 200°C의 온도에서  $O_2$  애칭 공정으로 진행되거나  $O_2$  이온 주입 공정으로 진행되는 것을 특징으로 하는 반도체 소자의 소자 분리막 형성 방법.

【도면】

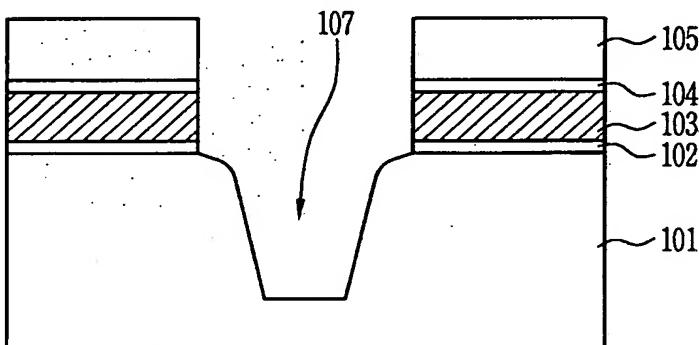
【도 1a】



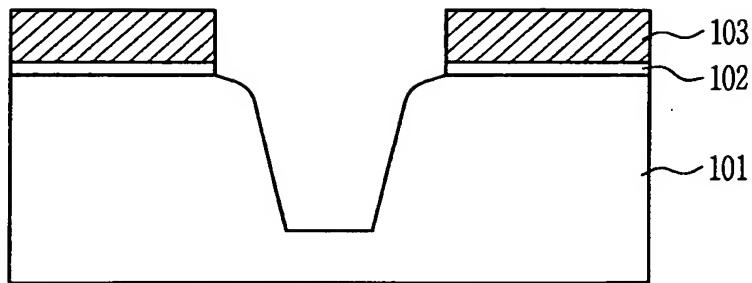
【도 1b】



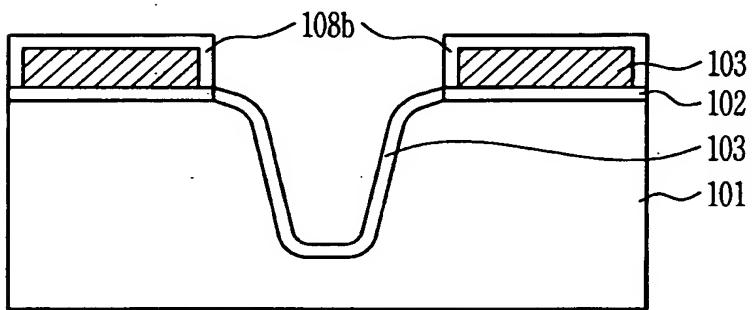
【도 1c】



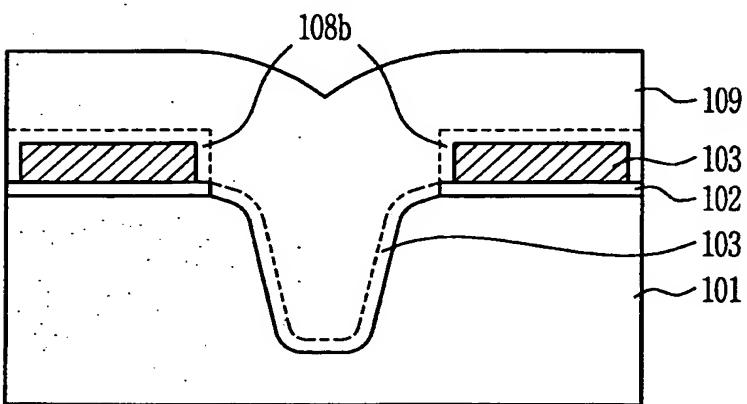
【도 1d】



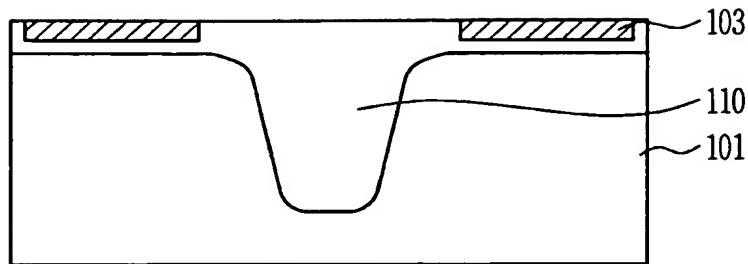
【도 1e】



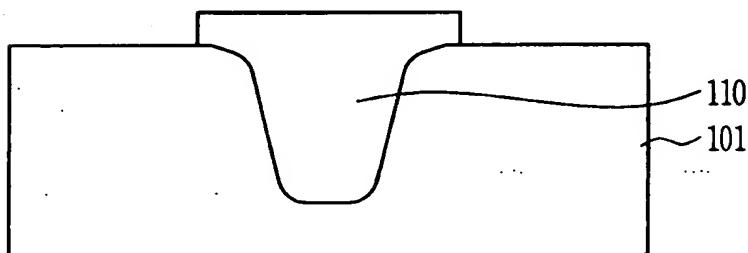
【도 1f】



【도 1g】



【도 1h】



【도 1i】

